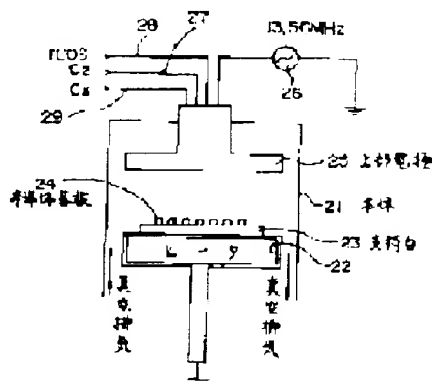
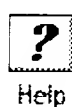


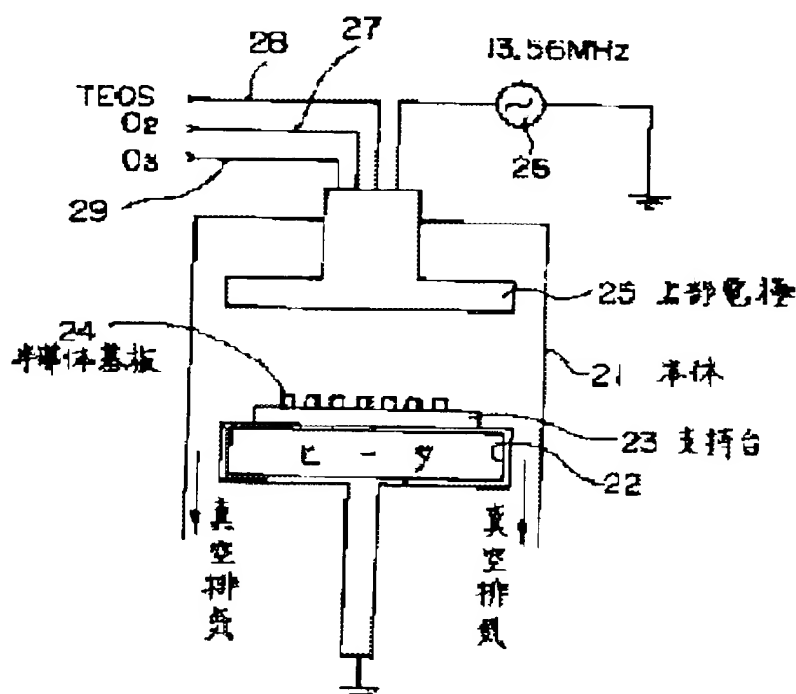
1/1 JAPIC - (C) JPO- image
 PN - JP 09017776 A 19970117 [JP09017776]
 TI - MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR MANUFACTURING APPARATUS
 IN - NOGUCHI OSAMU
 PA - SONY CORP
 AP - JP18462895 19950627 [1995JP-0184628]
 IC1 - H01L-021/3065
 IC2 - H01L-021/205 H01L-021/768 H05H-001/46
 AB - PURPOSE: To obtain a semiconductor manufacturing apparatus by which an organic substance remaining on the surface of a semiconductor substrate is removed surely by a method wherein the semiconductor substrate is cleaned by O(sub 3) gas at a high temperature and a film unstable with reference to the organic substance is formed after its cleaning operation is finished.
 - CONSTITUTION: A semiconductor substrate 24 is preheated by a heater inside a semiconductor manufacturing apparatus body 21, and O(sub 3) gas 29 is introduced into the semiconductor manufacturing apparatus body 21. A remaining organic substance on the semiconductor substrate 24 reacts with the O(sub 3) gas 29, and it is discharged from the semiconductor manufacturing apparatus body 21 as a volatile product such as CO or CO(sub 2). Then, an O(sub 3) TEOS NSG film is formed on awiring pattern on the semiconductor substrate 24 clear of the remaining organic substance.
 - COPYRIGHT: (C)1997,JPO

Click on image to view Tiff




☒ Include in patent order

MicroPatent® Worldwide PatSearch: Record 1 of 1


[Family Lookup](#)

JP09017776

MANUFACTURE OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR
MANUFACTURING APPARATUS

SONY CORP

Inventor(s): NOGUCHI OSAMU

Application No. 07184628 . Filed 19950627 . Published 19970117

Abstract:

PURPOSE: To obtain a semiconductor manufacturing apparatus by which an organic substance remaining on the surface of a semiconductor substrate is removed surely by a method wherein the semiconductor substrate is cleaned by O₃ gas at a high temperature and a film unstable with reference to the organic substance is formed after its cleaning operation is finished.

CONSTITUTION: A semiconductor substrate 24 is preheated by a heater inside a semiconductor manufacturing apparatus body 21, and O_3 gas 29 is introduced into the semiconductor manufacturing apparatus body 21. A remaining organic substance on the semiconductor substrate 24 reacts with the O_3 gas 29, and it is discharged from the semiconductor manufacturing apparatus body 21 as a volatile product such as CO or CO_2 . Then, an O_3 TEOS NSG film is formed on a wiring pattern on the semiconductor substrate 24 clear of the remaining organic substance.

Int'l Class: H01L0213065 H01L021205 H01L021768 H05H00146

MicroPatent Reference Number: 001001720

COPYRIGHT: (C) 1997 JPO



PatentWeb
Home



Edit
Search



Return to
Patent List



Help

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17776

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/3065		H 0 1 L 21/302	G
	21/205		21/205	
	21/768	9216-2G	H 0 5 H 1/46	B
H 0 5 H	1/46	9216-2G		M
			H 0 1 L 21/90	D

審査請求 未請求 請求項の数5 F D (全 7 頁)

(21) 出願番号 特願平7-184628

(71) 出願人 000002185

(22) 出願日 平成7年(1995)6月27日

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野口 修

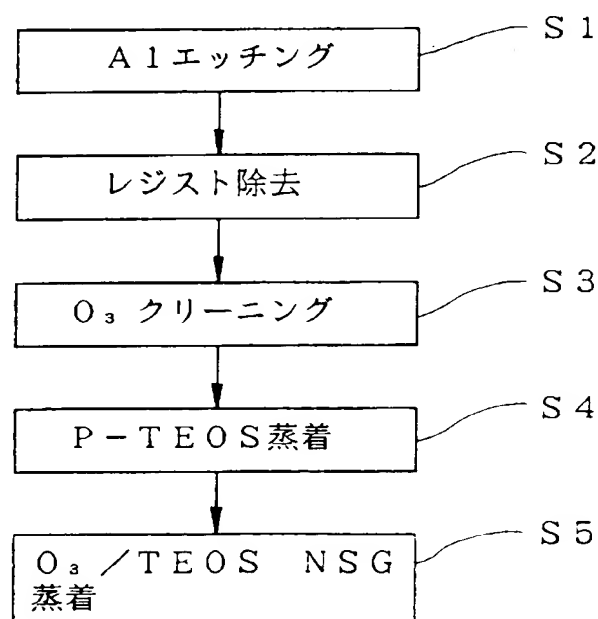
長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

(54) 【発明の名称】 半導体装置の製造方法及び半導体製造装置

(57) 【要約】

【目的】 半導体基板の表面に存在する有機物の完全除去を可能にし、有機物に対して不安定な膜の成膜時に安定した膜厚を形成できる半導体装置の製造方法を提供することを目的とする。

【構成】 半導体基板上にAlを蒸着してフォトレジストの塗布後にフォトリソグラフィ技法を用いてAlの配線パターン化を行って、ステップS1でAlのエッチングを行い、ステップS2でフォトレジストをレジスト除去剤で除去し、ステップS3でフォトレジスト除去と同一装置内でO₃ガスにより半導体基板表面の有機物をO₃ガスにより反応させてクリーニングし、ステップS4でプラズマTEOS膜を蒸着し、ステップS5でプラズマTEOS膜上に有機物に対して不安定なO₃/TEOS NSG膜を成膜する。



機汚染のない特性Aの方がA1の1層目の配線パターン9のスペース幅に対してO3/TEOS NSG膜11の膜厚の変化が緩やかであることを示している。換言すれば、O3/TEOS NSG膜11の下地膜のP-TEOS10が有機物の汚染により、A1の1層目の配線パターン9のスペース幅に対してO3/TEOS NSG膜11の膜厚の変動が大きいことがわかる。このように、有機汚染物によるO3/TEOS NSG膜11の成膜に対する影響は、O3/TEOS NSG膜11の成膜前に残留有機物が存在している場合も同様である。

【0007】一方、DRAMの容量絶縁膜として用いられるLP-CVD SiNにより成膜されたSiN（以下、LP-CVD SiNという）の膜厚、ひいては容量値がその成膜時に自然酸化膜の有無によって影響する。図10は、横軸にLP-CVD SiNの蒸着時間を取り、縦軸にLP-CVD SiNの膜厚を取って示した特性図であり、実線のCは自然酸化膜のない場合の特性を示し、破線のDは自然酸化膜がある場合の特性を示す。

【0008】この図10に示すように、自然酸化膜が存在する場合には、LP-CVD SiNの膜厚の成膜時に自然酸化膜のない場合に対して、潜伏期T（incubation time）が生じることになる。この潜伏期Tは有機物の量の多少に応じて変化する。潜伏期Tが変化すると、LP-CVD SiNの蒸着時間が変化することになり、したがって、LP-CVD SiNの膜厚の成膜にばらつきが生じ、結局容量値のばらつきの原因となる。特に、前記容量絶縁膜は、通常50～100程度の極めて薄い膜であり、自然酸化膜による影響が極めて大きく、自然酸化膜の存在量によっては、容量絶縁膜の膜厚制御が困難となる。

【0009】このような容量値のばらつきを防止するために、LP-CVD SiNの成膜時に、その下地膜の形成をRTN/LP・SiNのような2層構造を形成することも提案されている。しかし、この2層構造とした場合には、RTNの成膜からLP・SiNの成膜に至までの間の処理工程を放置したままにすると、RTNの膜表面に有機物が吸着され、この有機物により自然酸化膜が形成されたのと同じような潜伏期Tが生じ、結局LP-CVD SiNの成膜にばらつきが生じることになる。

【0010】本発明は、前記事情に鑑み案出されたものであって、半導体基板の表面に残存する有機物の除去を確実に行うことができ、下地膜の有機物の存在により有機物に対して不安定な膜の成膜のばらつきを未然に防止でき、この有機物に対して不安定な膜の処理の安定性を向上することができる半導体装置の製造方法を提供することを目的とする。

【0011】また、本発明は、下地膜が有機物で汚染されているような場合でも、O3ガスクリーニングにより有機物汚染を除去することができ、下地膜の有機物の存

在により有機物に対して不安定な膜の成膜時でも、膜厚の安定した成膜が可能となる半導体製造装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明は、半導体基板上に下層配線パターンを形成する工程と、前記下層配線パターンの形成後にこの下層配線パターンの形成に用いた半導体製造装置と同一の半導体製造装置内で高温のO3ガスにより前記半導体基板のクリーニングを行う工程と、前記クリーニングの終了後に有機物に対して不安定な膜を成膜する工程とよりなるものである。

【0013】また、本発明は、プラズマCVDあるいはLP-CVDを行い、O3ガス導入機能を備えた半導体製造装置またはマルチ・チャンバを備えた半導体製造装置において、O3クリーニング・チャンバを備えることを特徴とするものである。

【0014】

【作用】本発明によれば、半導体基板上に下層配線パターンを形成した半導体製造装置をそのまま使用して、O3ガスを導入して半導体基板をクリーニングし、半導体基板表面の残留有機物と反応させ、COあるいはCO2のような揮発生成物として除去し、残留有機物の除去後に下地膜を介して有機物に対して不安定な膜を層間絶縁膜として残留有機物の影響を受けずに成膜する。これにより、半導体基板の表面に残存する有機物の除去を確実に行うことができ、下地膜の有機物の存在により有機物に対して不安定な膜の成膜のばらつきを未然に防止でき、この有機物に対して不安定な膜の処理の安定性を向上することができる。

【0015】また、本発明によれば、O3ガス導入機能を備えた半導体製造装置またはマルチ・チャンバを備えた半導体製造装置に設けたO3クリーニング・チャンバにO3ガスを導入することにより、O3クリーニング・チャンバに収納されている半導体基板の表面に付着した残留有機物がO3ガスと反応して、O3ガスのクリーニング・チャンバから除去可能とし、その後の半導体基板に形成する有機物に対して不安定な膜形成時に安定した成膜レートで膜形成を行う。したがって、下地膜が有機物で汚染されているような場合でも、O3クリーニングにより有機物汚染を除去することができ、下地膜の有機物汚染に対して不安定な膜の成膜時でも、膜厚の安定した成膜が可能となる。

【0016】

【実施例】以下本発明の半導体装置の製造方法及び半導体製造装置の実施例について図面に基づき説明する。まず、本発明の半導体装置の製造方法に適用される半導体製造装置の実施例から説明する。図1は本発明の半導体製造装置の概略的構成を示す構成説明図である。この図1における21は半導体製造装置本体であり、半導体製

造装置本体 21 内にヒータが収納されている。ヒータはシールド 22 により密閉され、かつシールドされている。シールド 22 上には支持台 23 が設けられており、支持台 23 上に処理すべき半導体基板 24 を載置するようになっている。これらのシールド 22、支持台 23、半導体基板 24、ヒータは共に図示しないモータを主体にした回転機構により、半導体製造装置本体 21 内で所定速度で回転可能になっていると共に、シールド 22 の部分が下部電極になっている。

【0017】この下部電極に対向するように、半導体製造装置本体21内の上部には、上部電極25が対峙している。上部電極25には、13.56MHzの高周波電圧を発生する高周波電源26から印加されるようになっている。また、上部電極25を通して、反応ガスとしてO₂ガス27が半導体製造装置本体21内に導入されるようになっているとともに、TEOS28も導入可能になっている。以上までの構成は、半導体製造装置の一般的な概略構成であり、図1の実施例では、この構成にさらに、O₃ガス29を半導体製造装置本体21内に供給可能な機能を持たせている点に特徴がある。

【0018】次に、以上のように構成された本発明の半導体製造装置により、本発明の半導体装置の製造方法の一実施例について説明する。図2は、この半導体装置の製造方法の一実施例の処理手順を示すプロセス・フローを示すものであり、この図2において、まず、ステップS1の処理を実行する前に、図1の半導体製造装置本体21内の支持台23上に半導体基板24を載置する。この半導体基板24は、この実施例では、たとえば、図7、図8で示したように、シリコン基板にソース、ドレインのn+拡散層、フィールド酸化膜、ゲート酸化膜を酸化して形成されたポリシリコン・ゲート、BPSGにコンタクト・ホールを形成して、A1の1層目の配線パターンを形成するためにA1を蒸着して、エッチングによりA1の1層目の配線のパターン化を行う前の段階の半導体基板である。

【0019】このようにA1の1層目の配線パターンを形成する前の段階の半導体基板24をそのまま半導体製造装置本体21内の支持台23上に載置したまま、すなわちA1の1層目の配線パターン形成以降の製造処理過程も引き続き半導体製造装置本体21を使用して、ステップS1以降の製造工程処理を行う。図2のステップS1で半導体基板24上に蒸着されたA1の上面にフォトリジストを塗布して、フォトリソグラフィ技法によりフォトリジストをパターン化するとともに、A1のエッチングを行って、A1の1層目の配線パターンを形成する。

【0020】次に、ステップS2に移行し、A1の1層目の配線パターン上のフォトレジストを有機溶剤を用いて除去する。この有機溶剤の使用により、A1の1層目の配線パターン上や、BPSG膜上に有機物が残存して

いると、既述のごとく、層間絶縁膜の下地膜となるP-T-E-O-Sがそのまま有機物に汚染された状態で形成されることになる。そこで、この実施例では、引き続き半導体基板24を半導体製造装置本体21内の支持台23上に載置したまま、P-T-E-O-Sの成膜処理工程前にこの実施例の特徴となるステップS3でまず、半導体製造装置本体21内にO₃ガス29を導入してO₃ガス29による半導体基板24の残存有機物のクリーニング工程に入る。このステップS3のO₃ガス29によるクリーニング工程以降の詳細なプロセス・フローが図3に示されている。

【0021】この図3におけるステップS3aでは、引き続き半導体基板24を半導体製造装置本体21内の支持台23上に載置した状態とし、次いで、ステップS3bで半導体基板24を半導体製造装置本体21内のヒータにより予熱して、半導体基板24の温度がO3ガス29によるクリーニング処理を安定に行えるようにする。半導体基板24の温度が所定の温度に達すると、ステップS3cに移行し、半導体製造装置本体21内にO3ガス29を導入する。このO3ガス29を半導体製造装置本体21内に導入することにより、半導体基板24上の残存有機物がO3ガス29と反応して、CO、あるいはCO2のような揮発生成物として、半導体製造装置本体21から排出することにより、半導体基板24上の残存有機物を除去することができる。

【0022】次いで、図2のプロセス・フローのステップS4に移行し、残存有機物を除去した半導体基板24上のAlの1層目の配線パターン上にO₃/TEOS-
NSG膜の下地膜となるP-TEOSの成膜工程に移行し、半導体製造装置本体21内にTEOS28を導入するとともに、高周波電源26から13.56MHzの高周波電圧を上部電極25に印加し、半導体製造装置本体21内にプラズマを発生させて、P-TEOSの成膜を行う。P-TEOSの成膜は、O₃クリーニングと同じ半導体製造装置本体21内で行うことができ、P-TEOSの成膜が有機物の汚染から免れることになり、後述のO₃/P-TEOS-
NSG膜の成膜工程を安定化することができる。

【0023】P-TEOSの成膜後、ステップS5に移
行し、半導体製造装置本体21内にTEOS28、O₃
ガス29を導入してCVD法により、O₃ / P-TEO
SSNG膜の成膜を行う。このように、ステップS4で
のP-TEOSの成膜とステップS5でのO₃ / P-T
EOS SSNG膜の成膜工程を一括して表示したのが、
図3のプロセス・フローのステップS6であり、このス
テップS6の処理終了後、ステップS7で半導体製造装
置本体21内の真空引きを行い、半導体製造装置本体2
1内の支持台23から半導体基板24をステップS8で
取り出して、一連の処理工程を終了する。

【0024】このように、この実施例でな、従来のプラ

ズマCVDにO₃ ガス23を導入して下地膜のP-T-E-O-Sの成膜前に半導体基板23の残存有機物のクリーニングを行うようにしたものであり、これによって、O₃/P-T-E-O-S SNG膜による層間絶縁膜の成膜を安定した状態で行うことができる。なお、上記の半導体製造装置の実施例では、平行平板の場合を例示しているが、高周波電力の供給方法は特に限定されない。

【0025】次に、本発明の半導体装置の製造方法の第2の実施例について説明する。上記第1の実施例では、O₃ ガスによるクリーニングは、下地膜であるP-T-E-O-Sの成膜前に行う場合について説明したが、この第2の実施例では、層間絶縁膜となるO₃/P-T-E-O-S SNG膜の成膜工程前にO₃ ガスによるクリーニングを行う。すなわち、P-T-E-O-Sの膜の成膜後に所定時間放置した状態であると、P-T-E-O-Sの膜の表面に有機物が吸着される場合がある。そこで、O₃/P-T-E-O-S SNG膜の成膜工程前に図1で示した半導体製造装置本体21のようなO₃/P-T-E-O-S CVD装置にO₃ ガスを導入することにより、P-T-E-O-Sの表面に吸着された有機物は前記第1の実施例の場合と同様に、この吸着有機物がO₃ ガスによりCOやCO₂などの揮発生成物として除去する。これにより、前記第1の実施例と同様の効果が得られる。

【0026】次に、本発明の半導体製造装置の第2の実施例について説明する。図4はこの半導体製造装置の第2の実施例の概略的構成を示す構成説明図である。この図4に示すように、常時真空状態を保持することができ、半導体基板の挿入、取り出しが可能になっているロード・ロック室31の上部に蒸着チャンバ32が連結されているとともに、O₃ クリーニング・チャンバ33が連結されている。蒸着チャンバ32は半導体基板の所定の部位に所定の膜を形成するためにポリシリコンや、Alなどの配線パターンなどを蒸着して形成するチャンバであり、またO₃ クリーニング・チャンバ33はO₃ ガスにより半導体基板の所定部分に吸着されている有機物を反応させて、除去するためのものである。

【0027】図5は、O₃ クリーニング・チャンバ33の概略的構成を示す構成説明図である。図5において、O₃ クリーニング・チャンバ33内には、ヒータ34が設けられており、ヒータ34上には、図示されていないが支持台を介して半導体基板35が載置されるようになっている。また、O₃ クリーニング・チャンバ33内の上部電極25には、ヒータ34に対向して有機物クリーニング用のO₃ ガス導入口36が設けられている。O₃ ガス導入口36からO₃ クリーニング・チャンバ33内にO₃ ガスが導入されるようになっている。

【0028】次に、図4、図5に示す本発明の半導体製造装置の第2の実施例により、DRAMにおける記憶用のキャパシタを形成するためのSi₃N膜を成膜する本発明の半導体装置の製造方法の第3の実施例について図6

のプロセス・フローに沿って説明する。まず、図6のステップS11でDRAMのキャパシタの下部電極を蒸着チャンバ32内で形成した後に、ステップS12でRTN（ラピッド・サーマル・ナイトライゼーション）処理を行う。すなわち、ランプ・アニール内で、ランプで下部電極を形成した半導体基板を加熱しながら、アンモニアを流すことにより、シリコン・ナイトライドを熱で形成する。

【0029】このシリコン・ナイトライドはLP-Si₃N膜の下地膜となるものであるが、このシリコン・ナイトライドにより、後述するLP-Si₃Nが自然酸化膜による影響を防止されることになる。またシリコン・ナイトライド上に直接LP-Si₃N膜を成膜したのでは、前述のように、LP-Si₃N膜の成膜時にシリコン・ナイトライド上に吸着されている有機物により、LP-Si₃N膜の膜厚が影響される。そこで、この第3の実施例では、ステップS12でのRTN処理後に、ステップS13に移行して、O₃ クリーニング工程移行する。このステップS13では、前記RTN処理をしてシリコン・ナイトライドを形成した半導体基板を蒸着チャンバ32からロード・ロック室31を経由して、大気中半導体基板が触れることなく、半導体基板をO₃ クリーニング・チャンバ33に移送させる。

【0030】O₃ クリーニング・チャンバ33内では、半導体基板35をヒータ34上に設けられた支持台上に載置させて、ヒータ34により半導体基板35が所定の温度になるまで予熱しておき、この状態でO₃ ガス導入口36からO₃ ガスを導入し、O₃ クリーニング・チャンバ33内で半導体基板35に吸着されている有機物とO₃ ガスとを反応させて、前記半導体装置の製造方法の第1、第2の実施例の場合と同様に、有機物を半導体基板から除去する。ステップS13でのO₃ クリーニング処理の終了後、ステップS14で半導体基板35をO₃ クリーニング・チャンバ33内からロード・ロック室31を経由して半導体基板35が大気に触れることなく、蒸着チャンバ32内に移送する。蒸着チャンバ32内では、LP-Si₃N膜の成膜の行い、DRAMのキャパシタの誘電体部分を形成する。

【0031】この半導体装置の製造方法の第3の実施例の場合でも、LP-Si₃N膜の成膜前にO₃ クリーニングを行って、シリコン・ナイトライドに吸着されている有機物による汚染を防止して、LP-Si₃N膜の成膜を行うから前記半導体装置の製造方法の第1、第2の実施例の場合と同様にLP-Si₃N膜の成膜を安定して行うことができ、プロセス・マージンの拡大が可能となる。

【0032】なお、図4の実施例では、蒸着チャンバ32とO₃ クリーニング・チャンバ33とを有するいわゆるマルチ・チャンバによる連続処理についての実施例を例示したが、LP-CVDチャンバにO₃ ガスを導入し、図3に示したようなプロセス・フローで示すような

処理手順で同一チャンバ内で○3 クリーニングを行うようにしても、同様の効果が得られる。この場合のLP-CVDチャンバは枚葉型、バッチ型のいずれでもよい。また、前記各実施例における○3 クリーニング処理時の温度は常温、高温のいずれでも良いが、温度が高い程高いクリーニング効果が得られる。

【0033】さらに、前記各実施例では、○3 /TEOS NSG膜形成前に○3 クリーニング処理を行う実施例について説明してきたが、本発明では、これに限定されるものではなく、半導体基板の有機物によって不安定になるプロセスにおいて、有効であることはいうまでもない。

【0034】

【発明の効果】以上の説明で明らかなように、本発明は、下層の配線パターンの形成後にこの下層の配線パターンの形成に用いた半導体製造装置と同一の半導体製造装置内で高温の○3 ガスにより半導体基板のクリーニング終了後に有機物に対して不安定な膜を成膜するようにしたので、半導体基板の表面に残存する有機物の除去を確実に行うことができ、下地膜の有機物の存在により有機物に対して不安定な膜の成膜のばらつきを未然に防止でき、この有機物に対して不安定な膜の処理の安定性を向上することができる。

【0035】また、本発明は、半導体製造装置に○3 ガス導入機能を備えた○3 クリーニング・チャンバを設けるようにしたので、下地膜が有機物で汚染されているような場合でも、○3 クリーニングにより有機物汚染を除去することができ、下地膜の有機物の存在により有機物に対して不安定な膜の成膜時でも、膜厚の安定した成膜が可能となる。

【図面の簡単な説明】

【図1】本発明の半導体製造装置の第1の実施例の概略的構成を示す構成説明図である。

【図2】本発明の半導体装置の製造方法の第1の実施例を説明するためのプロセス・フロー・チャートである。

【図3】図2のプロセス・フロー・チャートの処理手順

の詳細な説明を行うためのプロセス・フロー・チャートである。

【図4】本発明の半導体製造装置の第2の実施例の概略的構成を示す構成説明図である。

【図5】図4の半導体製造装置における○3 クリーニング・チャンバの概略的構成を示す構成説明図である。

【図6】本発明の半導体装置の製造方法の第3の実施例を説明するためのプロセス・フロー・チャートである。

【図7】○3 /TEOS NSG膜を形成した従来の半導体装置の構成を示す断面図である。

【図8】有機物の影響を受けて膜厚が変動した状態で○3 /TEOS NSG膜を形成した従来の半導体装置の構成を示す断面図である。

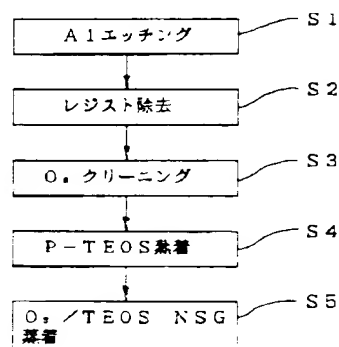
【図9】○3 /TEOS NSG膜を形成した従来の半導体装置における○3 /TEOS NSG膜がAlの下層配線パターンのスペースに対して○3 /TEOS NSG膜が有機物の有無により成膜時に膜厚が変動する状態を比較して示す特性図である。

【図10】従来のDRAMの容量絶縁膜用のLP-CVD SiNが自然酸化膜の有無によってLP-CVD SiNの膜厚が影響を受ける状態を説明するための特性図である。

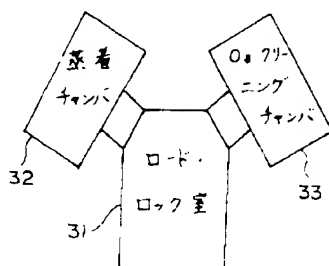
【符号の説明】

- 21 半導体製造装置本体
- 22, 34 ヒータ
- 23 支持台
- 24, 35 半導体基板
- 25 上部電極
- 26 高周波電源
- 27 ○2 ガス
- 28 TEOS
- 29 ○3 ガス
- 31 ロード・ロック室
- 32 蒸着チャンバ
- 33 ○3 クリーニング・チャンバ
- 36 ○3 ガス導入口

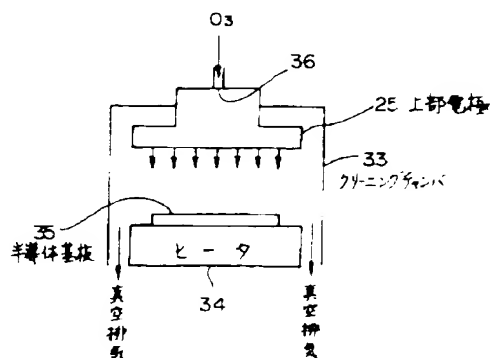
【図2】



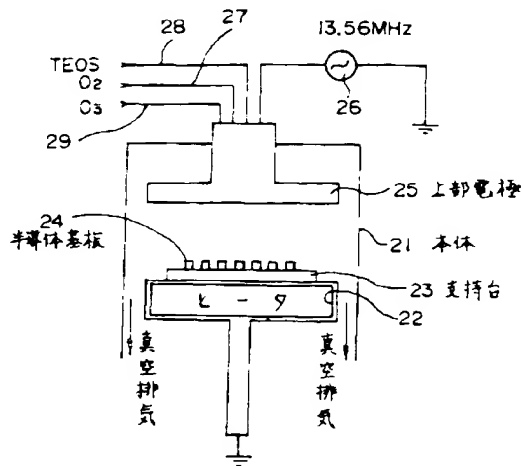
【図4】



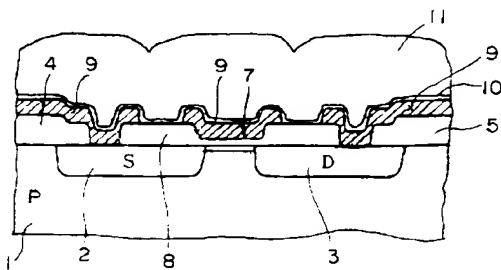
【図5】



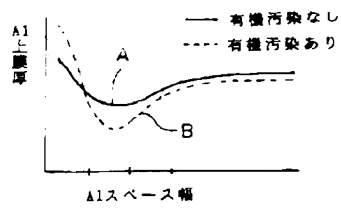
【図1】



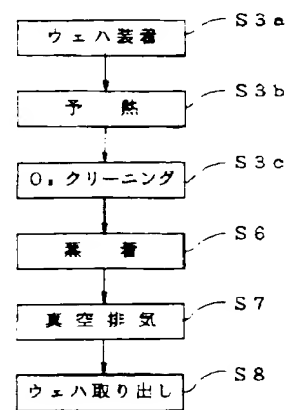
【図7】



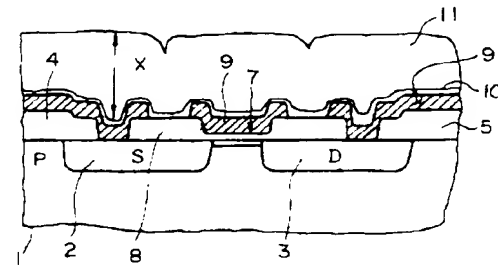
【図9】



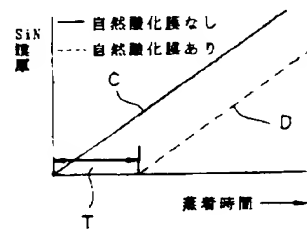
【図3】



【図8】



【図10】



【図6】

